实验五：多功能电子钟系统设计

1. 实验名称

多功能电子钟系统设计。

2. 实验目的

采用传统电路的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3. 实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内8个课时，课外8个课时。

5．实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分”计时校准，分钟值校准时不影响小时值；

（5）闹钟，到设定时间提醒10秒。

**使用Logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下：**

（采用Logisim软件提供的“时钟频率”为8hz的信号源。）

（1）具有校准计数值的六十进制计数器电路

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图5.1所示。

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间，递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421码；
7. 封装后做出测试电路，测试电路要外接16进制显示器，CPU、CPD接按钮。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图 5.1 调整计数值的60进制计数器

（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并进行封装，该计数器封装图如图 5.2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图 5.2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj=1**时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj=0**，通过输入脉冲**CPU**计数器累加计数，每当累计满12或24（根据计数制）产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当Set=0，12小时计时；当Set=1时，24小时计时；
7. 计数器的输出为两位8421码；
8. 封装后做出测试电路，测试电路要接16进制显示器，CPU、CPD接按钮。

（3）显示“上午”、“下午”的电路

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3所示。封装图如图 5.4所示，测试电路如图 5.5所示。

** **

图 5.3 led点阵显示器

图 5.4 led点阵封装图 图 5.5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5Led（4列⨯5行）显示器；
3. AM/FM=0，显示“上”； AM/FM=1，显示“下”；
4. TT=0时，24小时计时，此时“上、下午”显示屏全灭；TT=1时，12小时计时，此时根据具体时间显示“上”或“下”；
5. 封装时Led显示屏不封装在内；
6. 封装后做出测试电路，外接Led显示屏。

（4）电子钟整点报时电路

设计一个10秒的整点报时电路，并进行封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用Led灯的亮灭来表示），报时10秒结束。

（5）秒计时脉冲产生电路

按要求以Logisim软件的8hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号如图 5.6所示，它成为秒计数器的计数脉冲信号。

图 5.6 秒计时脉冲产生电路

**8hz 秒计时脉冲产生电路 1hz**

（6）闹钟（选做）

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要用16进制数字显示器显示；
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示；
4. 有控制端可以启用或关闭闹钟。

（7）多功能数字钟电路

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图 5-7所示，测试图如图 5.8所示。

1. 输入信号有“**Set**”、“**CPU**、**CPD**”、“**Adj0**、**Adj1**”、“**Clr**”、“**8hz**信号”；输出信号为“小时”、“分”、“秒”对应的6个8421码、“闹钟”和“整点”输出信号以及控制“上、下午”显示的信号；
2. “**Set**”为“小时计数器”输入信号，当**Set=1**时，计数器为二十四进制计数器，**Set=0**为低电平时为十二进制计数器；十二进制和二十四进制转换时时间需对应；
3. “**CPU、CPD**”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “**Adj0**”为计数器计数值进行校准的输入控制信号，**Adj0=0**，表示不调整时钟；**Adj0=1**，表示调整时钟，在调整时钟时，不产生任何进位信息（秒不向分进位，分不向小时进位）；
5. “**Adj1**”为计数器计数值进行校准的选择输入控制信号，A**dj1=0**，表示调整小时；**Adj1=1**，表示调整分钟；
6. “**Clr**”为计数器的清除信号，同时对小时、分、秒清零；
7. “**8hz**信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为6个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管（Led灯）”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，“**Alarm**”为输入的时间设定提醒值（闹钟值）；
12. 封装后做出测试电路，测试电路中小时、分和秒要接16进制显示器，**CPU、CPD**接按钮，CP接时钟源，闹钟和定点报时接Led灯，Led显示接Led显示屏，其余接输入引脚。



图 5.7电子钟的“输入、输出检查要求”



图 5.8电子钟的测试电路

6. 实验方案设计

（1）具有校准计数值的六十进制计数器电路

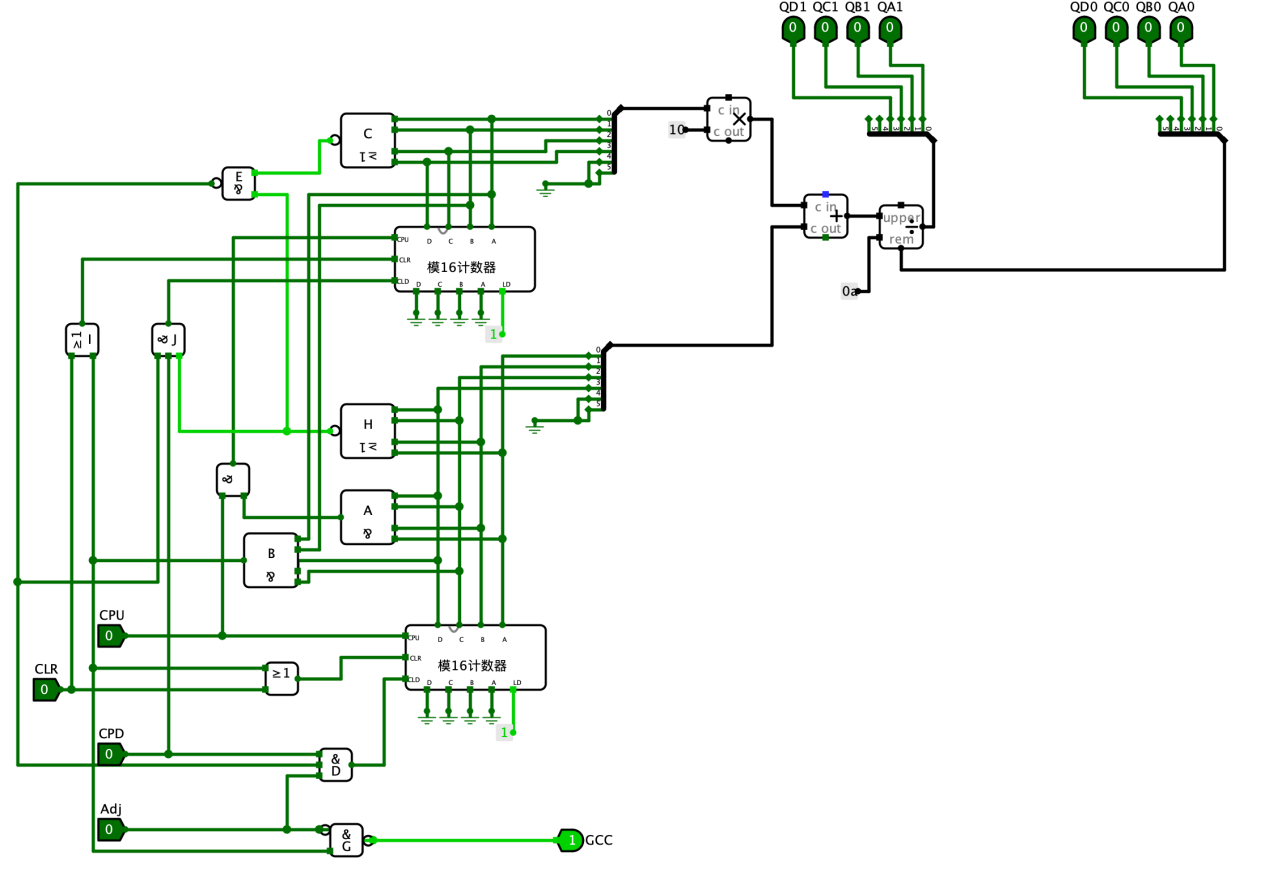


图 5.9具有校准计数值的六十进制计数器电路电路图

1. 下面的模16计数器代表低位:

CPU:有脉冲的时候就会进1计数。

CLR:输入CLR时置0,或者产生了进位,就是对应图中的B与门的判断:低位为12(1100),高位为3(0011)时为1,产生进位输出,其中进位输出会通过D下面的G与门产生负脉冲。

CPD:当Adj=1(允许进行减1计数),两个计数器的值不为0,就是H门(ABCD只要一个有1就输出1)输出为1或者C门输出为1(ABCD只要一个有1就输出1),即可减1计数。

1. 上面的模16计数器代表高位:

CPU:当产生了CPU脉冲,并且第一个寄存器的ABCD均为1(第一个寄存器产生进位)就可以让第二个寄存器进1。

CPD:要想让第二个寄存器减1计数,除了Adj要设置成1之外,还得保证第二个寄存器不为0,第一个寄存器为0(体现在J与门:当H输出为1,E与门输出为1时输出为1)。

CLR:输入CLR时置0,或者产生了进位,就是对应图中的B与门的判断:低位为12(1100),高位为3(0011)时为1,产生进位输出,其中进位输出会通过D下面的G与门产生负脉冲。

1. 结果输出:

这个本质上是两位十六进制数,现在我们要把两位十六进制也就是八位二进制数转化成2位8421BCD码,现在说明一下计算方法,假设A1是16进制第一位,A2是十六进制第二位。

D=A1\*16+A2(D是得数)

BCD1=

BCD0=D%10

将结果输出即可。

（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路

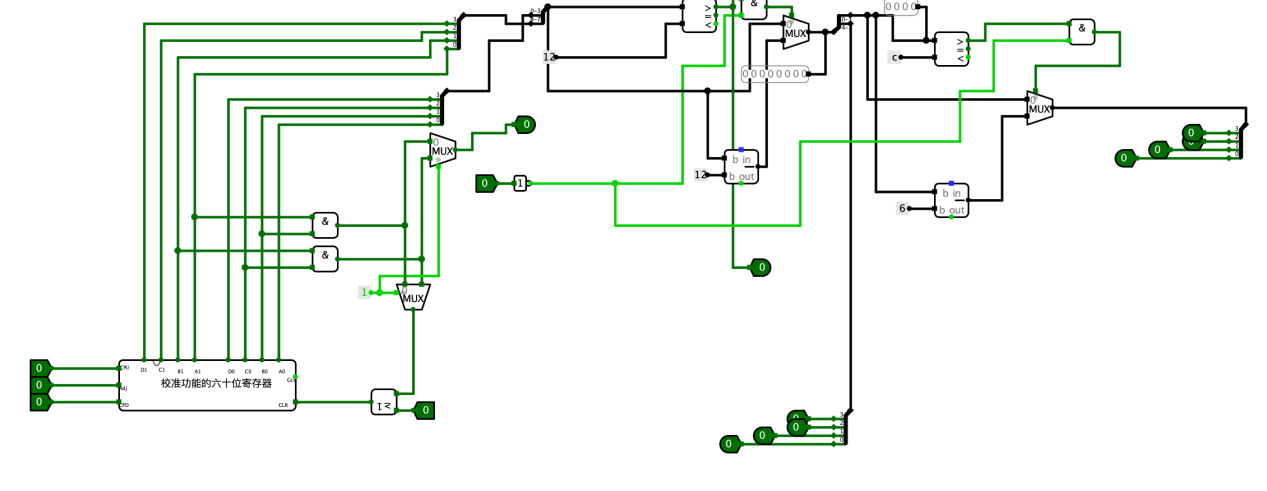


图5.10 具有校准计数值的十二进制计数器或二十四进制的计数器电路图

组织六十位寄存器,改写成24位进制寄存器,并且有一个Sel输入,输入12/24进制。

当选择24进制,就直接对计数器内存储的内容进行输出。

当选择12进制,先判断当前计数器的结果是否大于12,如果大于12,就先把8位BCD码当成二进制数,减去12,这个对于13,14,15,16,17,18,19,22,23,24点有效,但是对于20,21点会产生错误,因为20-12=0E,这个时候就要把错误的二进制码转化成正确的BCD码:就判断这个个位是不是大于B,如果大于B就可以认定产生了错误输出,将错误输出减6即可。

这里我对引脚做了改动,让其输出上午还是下午。

（3）显示“上午”、“下午”的电路

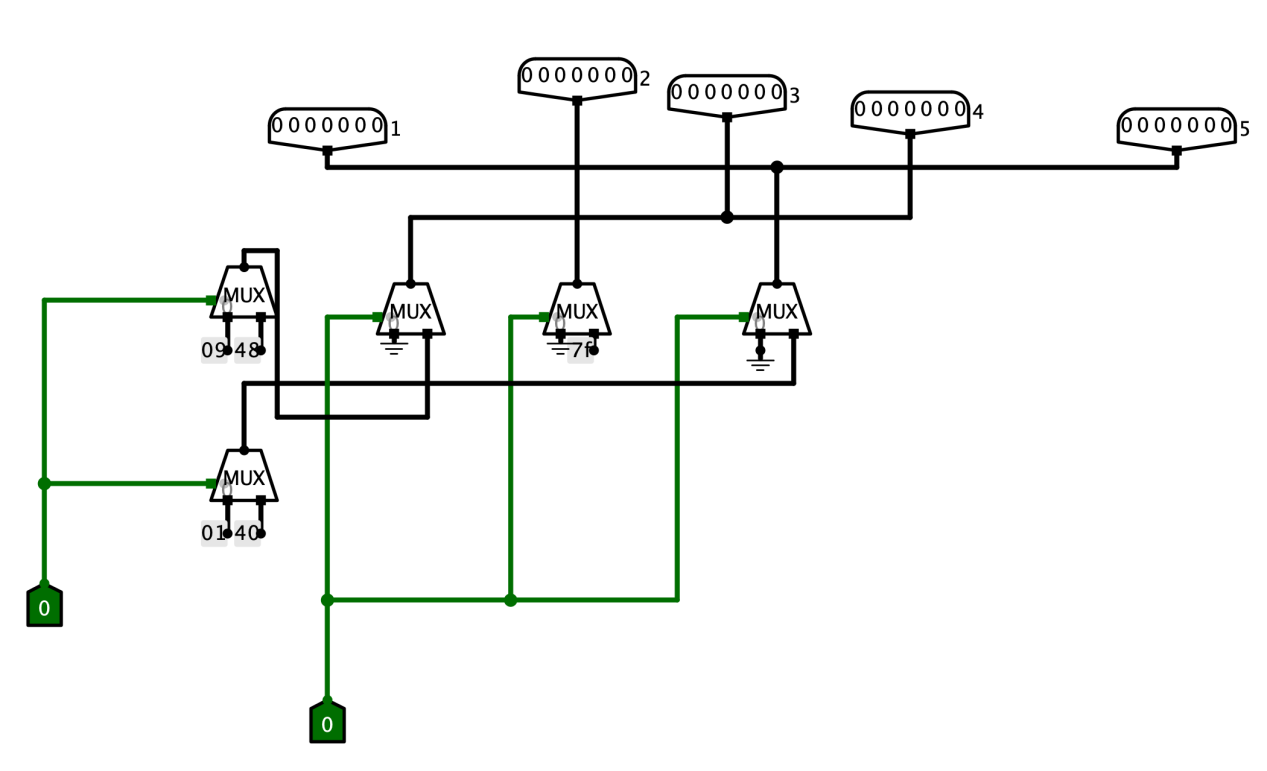


图5.11 显示“上午”、“下午”的电路电路图

一个组合逻辑关系:

|  |  |  |
| --- | --- | --- |
| Sel输入 | 上午下午输入 | 输出 |
| 24小时 | 任意值 | 不输出 |
| 12小时 | 上午 | 上午 |
| 12小时 | 下午 | 下午 |

（4）电子钟整点报时电路

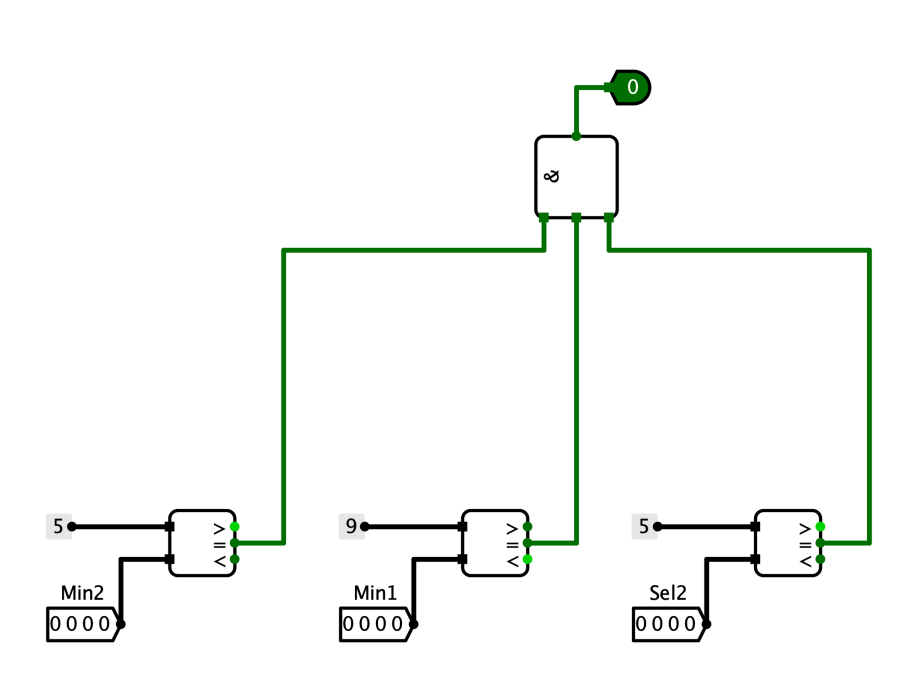


图5.12 电子钟整点报时电路图

判断当前输入的分钟是不是59分,秒钟是不是5x秒。

（5）秒计时脉冲产生电路

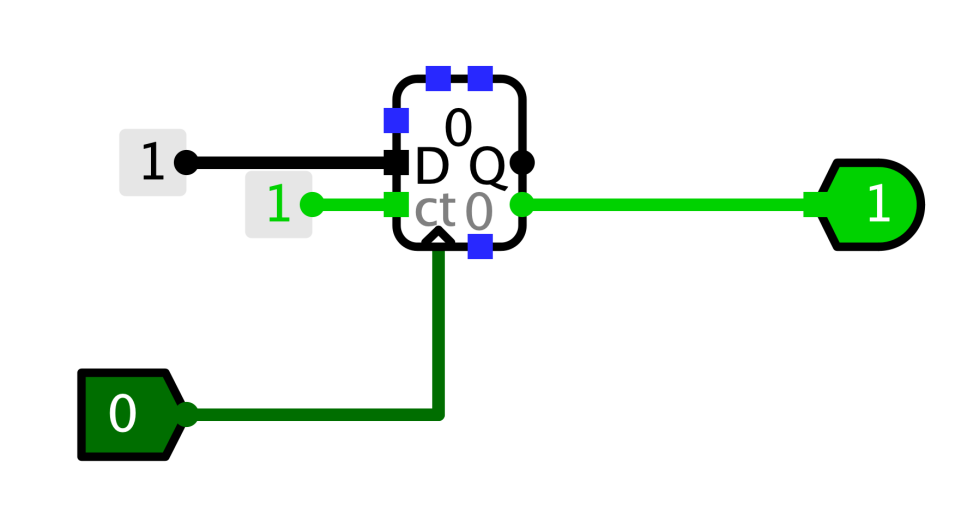


图5.13 秒计时脉冲产生电路电路图

利用logism的计数器计数功能进行分频,这个计数器是计数4。

（6）闹钟（选做）

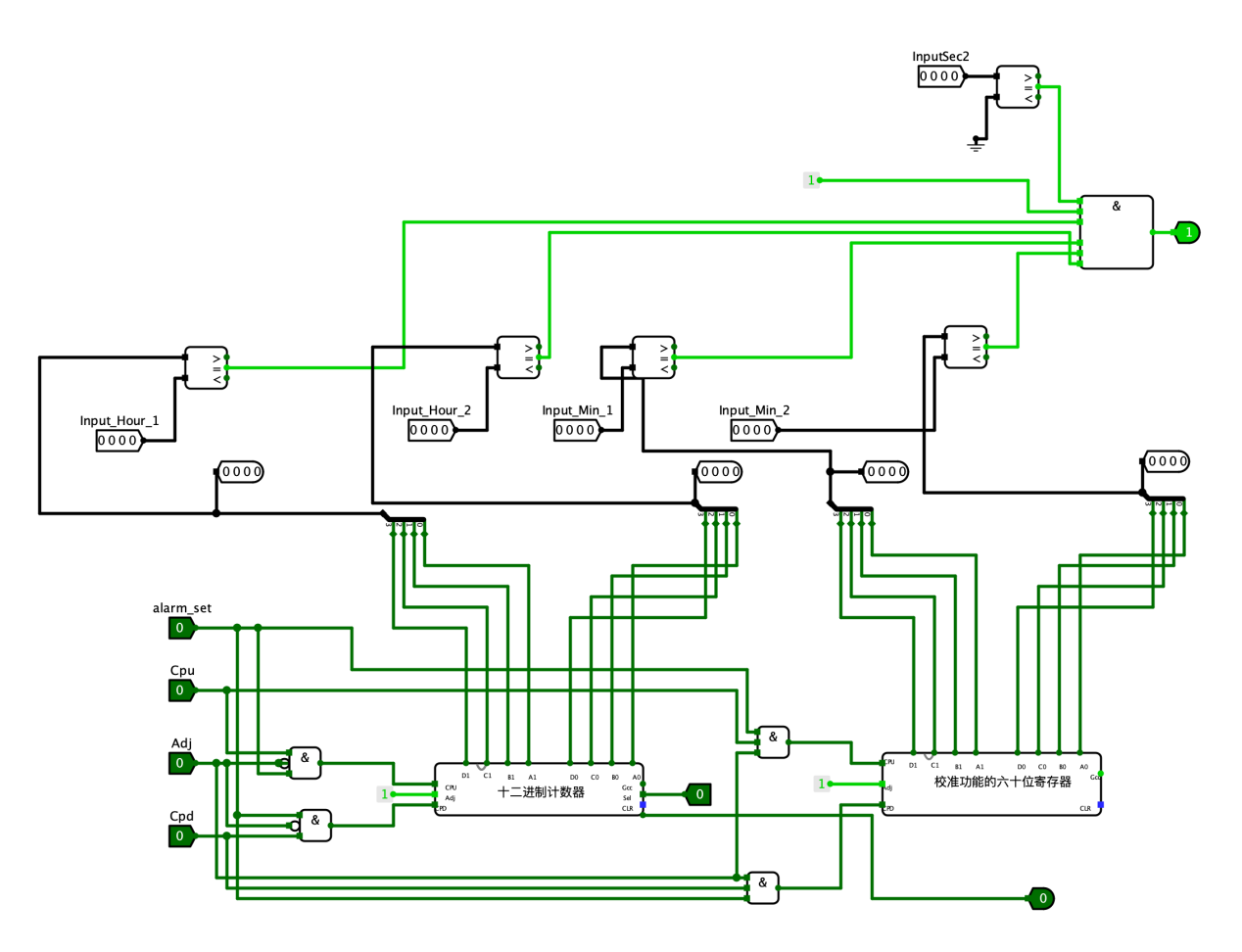
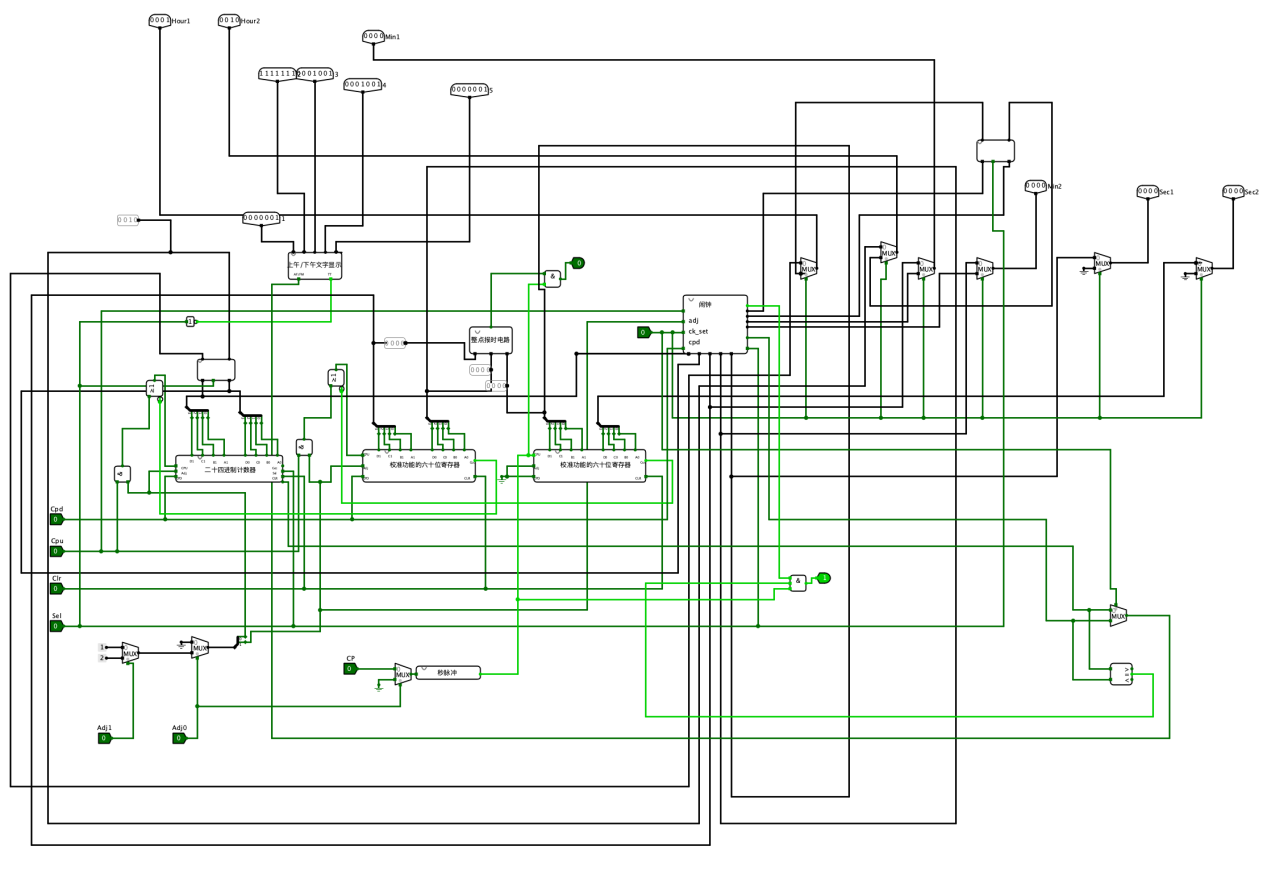
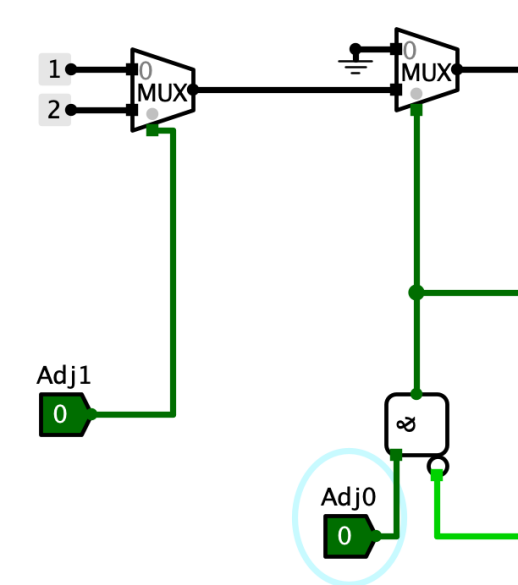


图5.14 闹钟电路图

当alarm\_set=1的时候就可以对闹钟进行设置,闹钟内部的24进制计数器和六十进制计数器能够设置闹钟的时间,其中Adj能够选择是调整闹钟的小时还是分钟,计数器的输出结构和当前时间对比,假如说对比成功就输出闹钟信号。

（7）多功能数字钟电路



图5.15 多功能电子钟电路图

首先是调整功能输入,这里是选择00还是10还是01,当选择00时就是不调整,如果是01就是调整小时,如果是10就是调整分钟。

这里的Adj与调整当前时间还是闹钟时间无关,但是可以保证在调整闹钟的时候不会影响时钟。

图5.16 Adj选择部分电路图

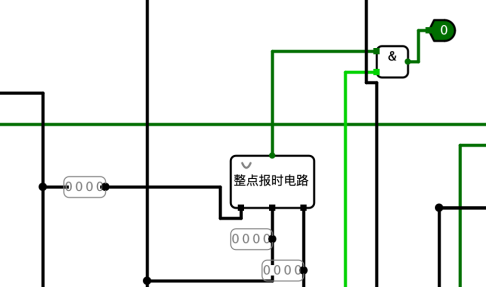
整点报时:传入当前的分钟和秒钟高位,并且让输出和脉冲相与来达到输出脉冲的目的。

图5.17 整点报时部分电路图

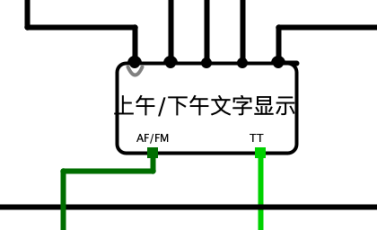
AF/FM接二十四进制输出的上午下午信号,TT是接Sel,这个芯片的五个输出分别是多功能表的显示管输出。

图5.18 上午/下午显示部分电路图

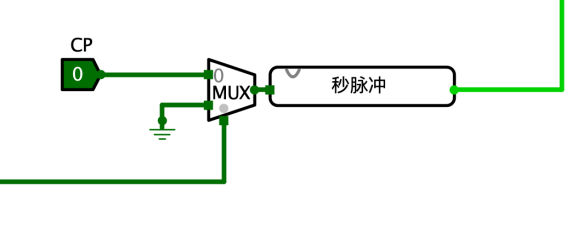
这里的秒脉冲与Adj连接,假如说现在处于调整时间的状态就不会输出脉冲。

图5.19 秒脉冲输出部分电路图

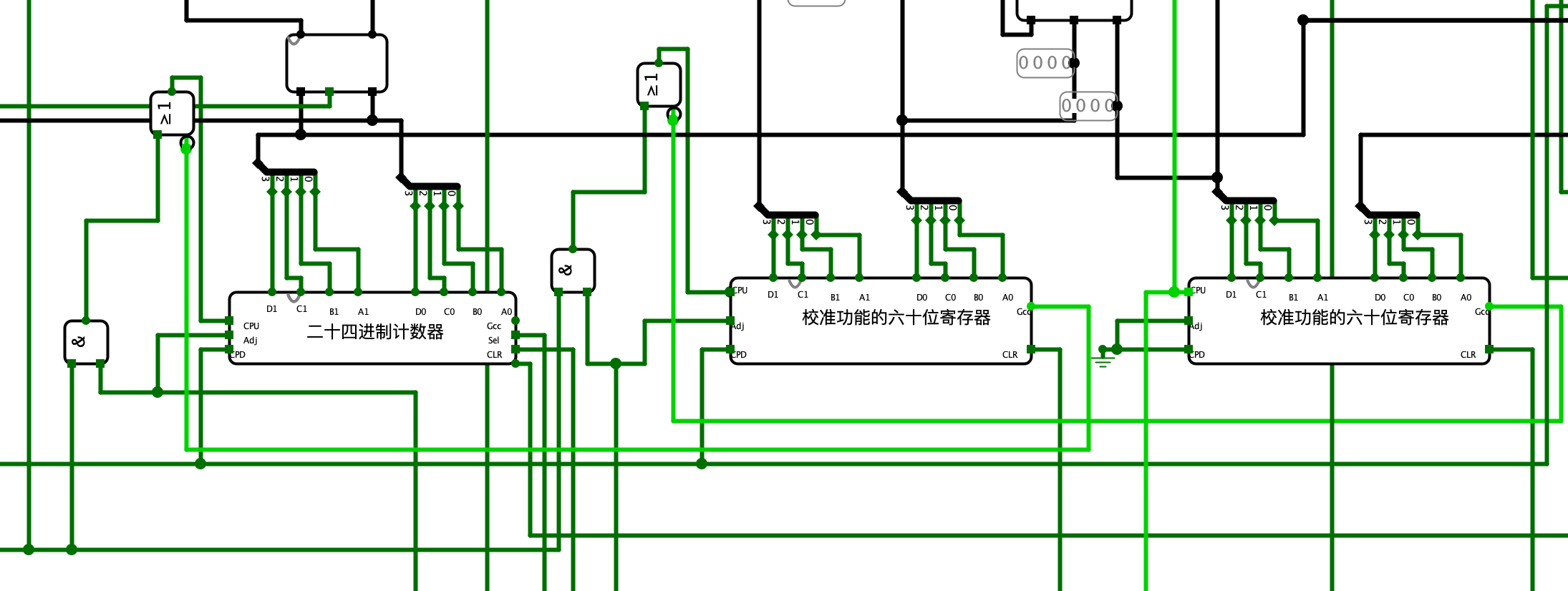
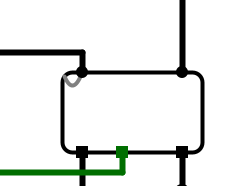


图5.20 主体计时部分电路图

这里是电子表的注意计时环节,对于小时和分钟的CPU和CPD受到2个量的控制,一个是Adj,一个是前一位的进位,在调整闹钟的时候Adj1=1,不会影响自身时钟端的输出,在正常的时候就是一个时钟计时器,对于传来的秒脉冲进行计数(这里可能会有一个Bug:就是我现在让alarm\_set=1,但是Adj1=0,Adj0=0,这个时候改变闹钟的同时自己的时钟还会变化)。

这个是我自己加的芯片:就是00转化成12的芯片,当这个是12小时制并且当前时间是00的时候,就将输出转化为12,内部实现就是两个比较器和两个与门。

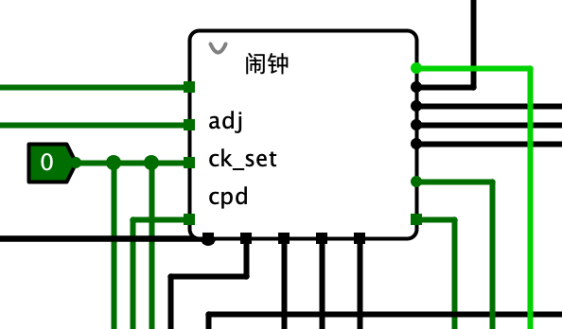
这里是闹钟,下面的引脚传来的是当前的时间,左边4个黑色的引脚是闹钟的设置,闹钟芯片输入12/24小时制,并且输出在12小时制下时钟设置的是上午还是下午,如果当前是12小时制,在主电路会有当前上下午和闹钟上下午的比较,如果不匹配,也不会产生闹钟信号。

图5.21 闹钟部分电路图

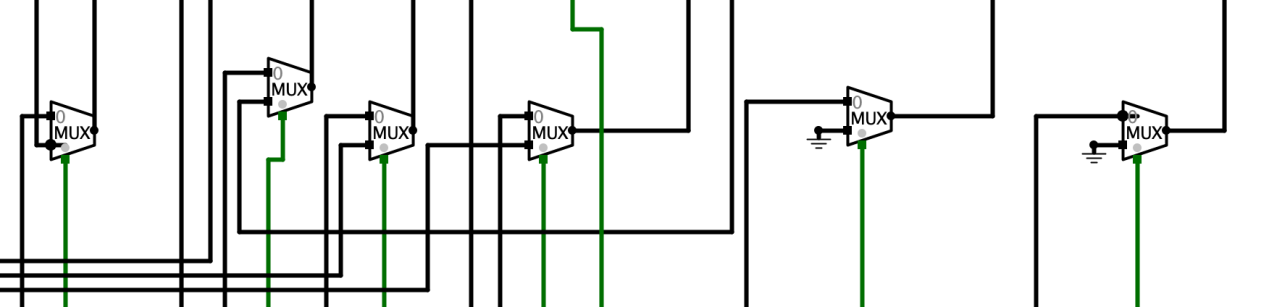


图5.22 输出选择部分电路图

这一排是输出控制端口,6个MUX的数据选择端是alarm\_set,如果在设置闹钟就输出现在设置闹钟的时间,如果没在设置闹钟,就输出当前时间。

1. 实验结果记录

（1）具有校准计数值的六十进制计数器电路

初始状态:

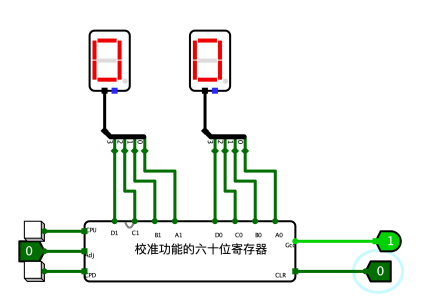


图5.23 电路(1)测试

测试CPU:

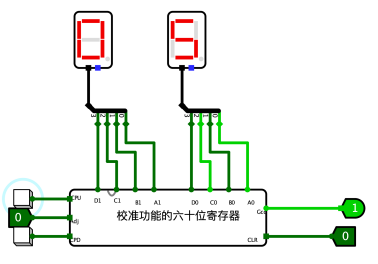


图5.24 电路(1)测试CPU

测试CPD:

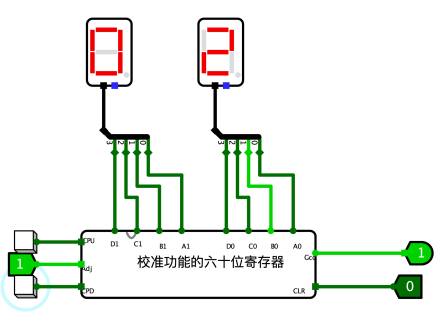


图5.25 电路(1)测试CPD

测试CLR:

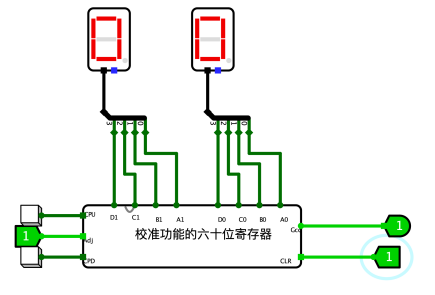


图5.26 电路(1)测试CLR

1. 具有校准计数值的十二进制计数器或二十四进制的计数器电路

测试CPU:

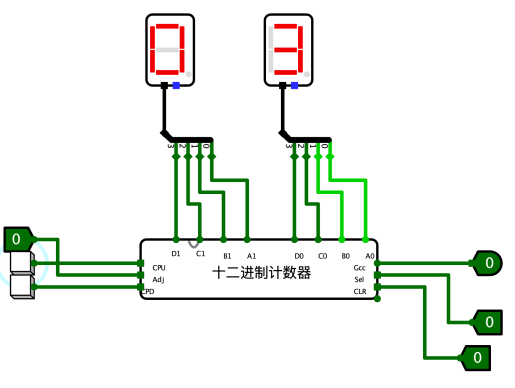


图5.27 电路(2)测试CPU

测试CPD:

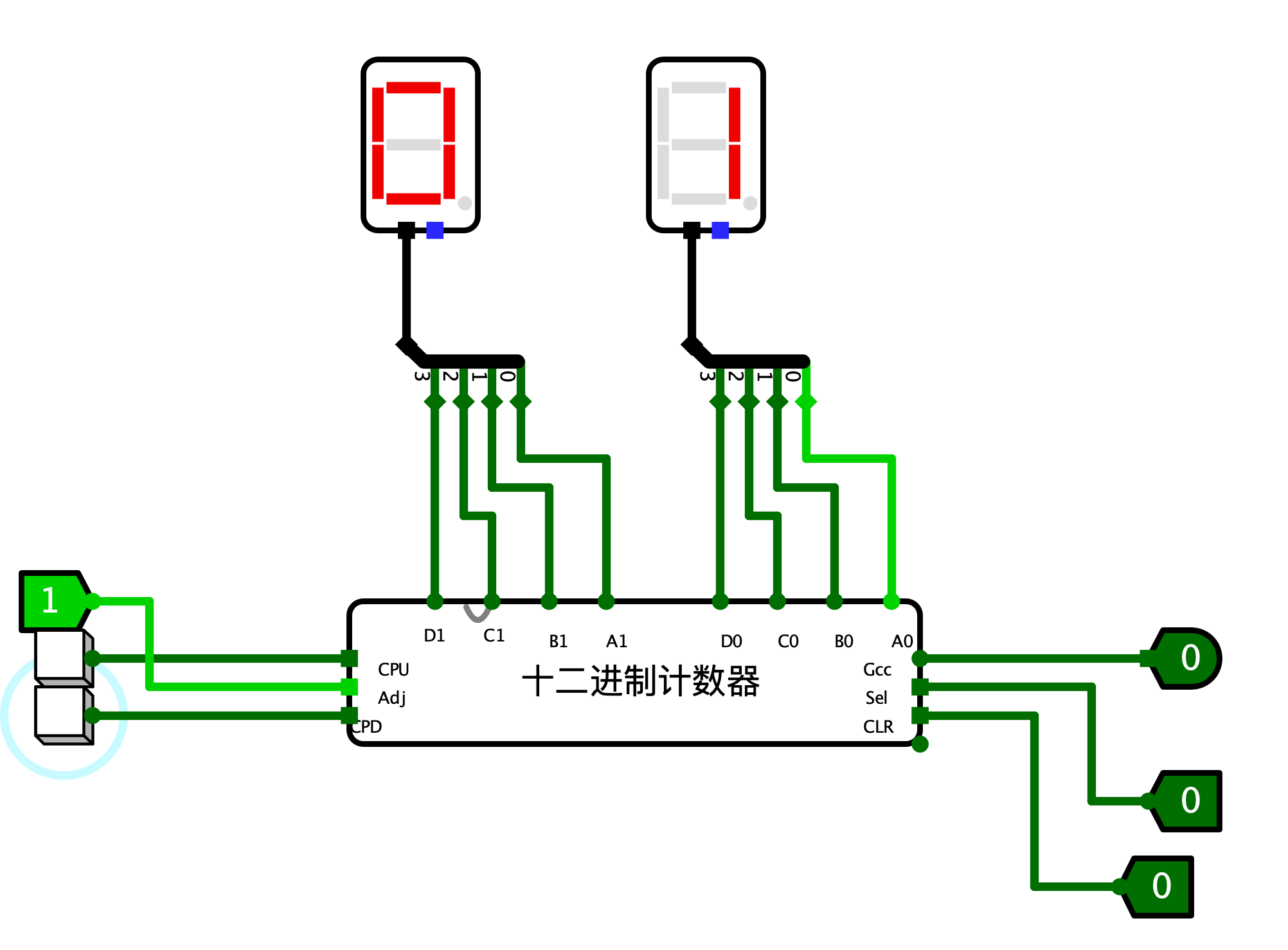
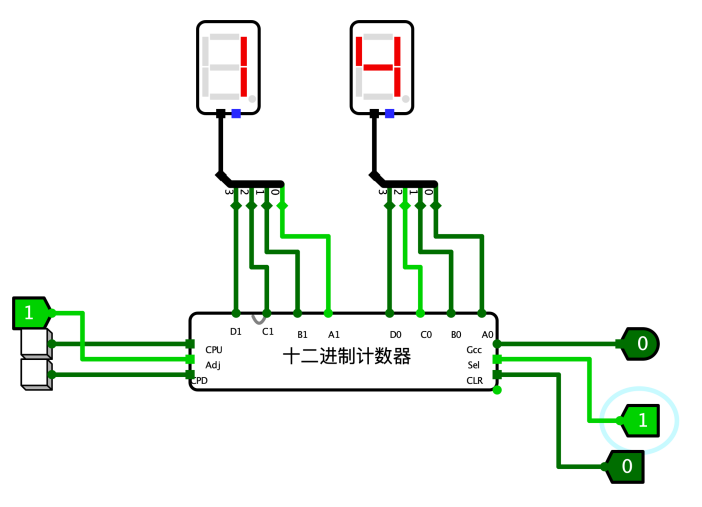


图5.28 电路(2)测试CPD

测试进制转换:

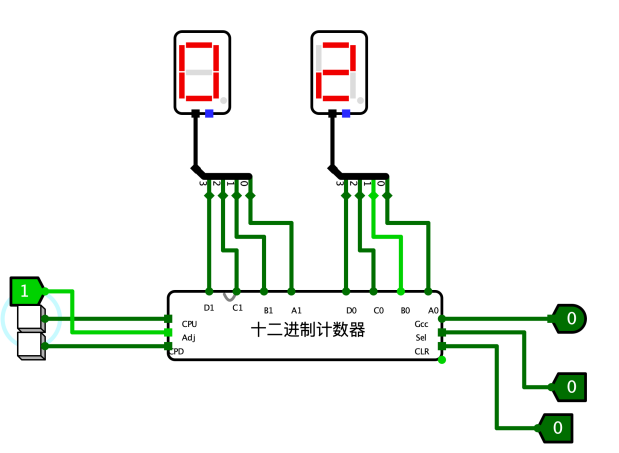


图5.29&5.30 电路(2)测试进制转换

（3）显示“上午”、“下午”的电路

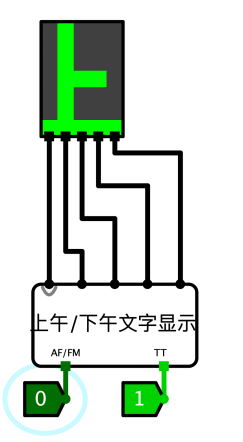
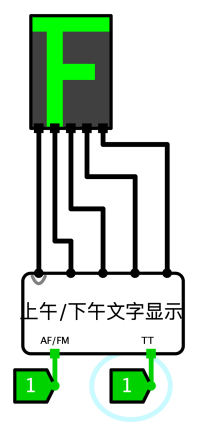
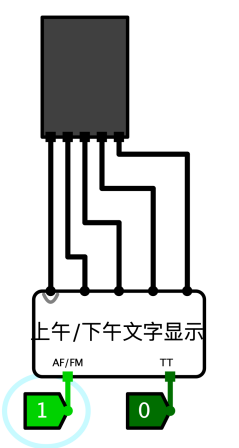


图5.31 电路(3)测试

（4）电子钟整点报时电路

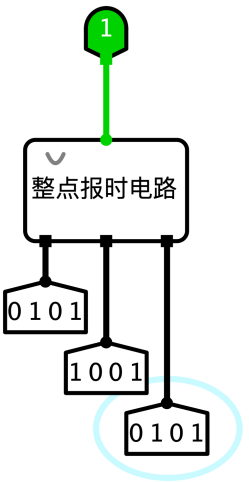
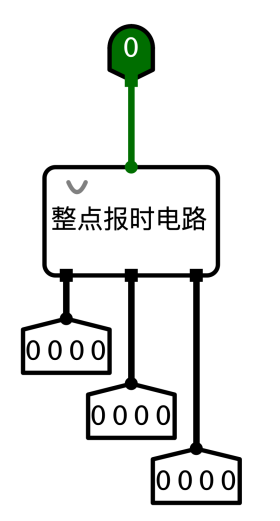


图5.32 电路(4)测试

（5）多功能电子钟

基本的计时 调整时间测试

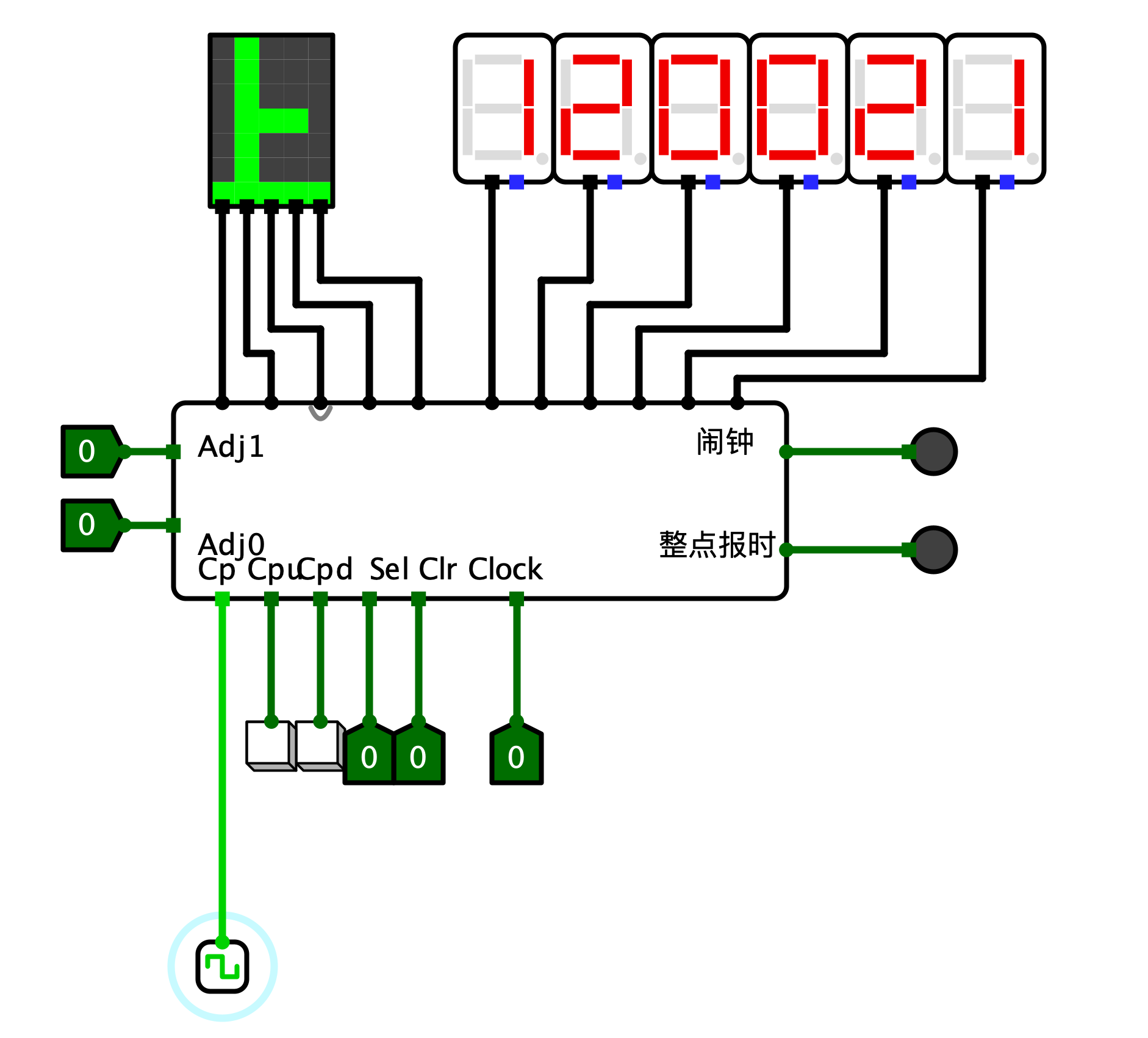
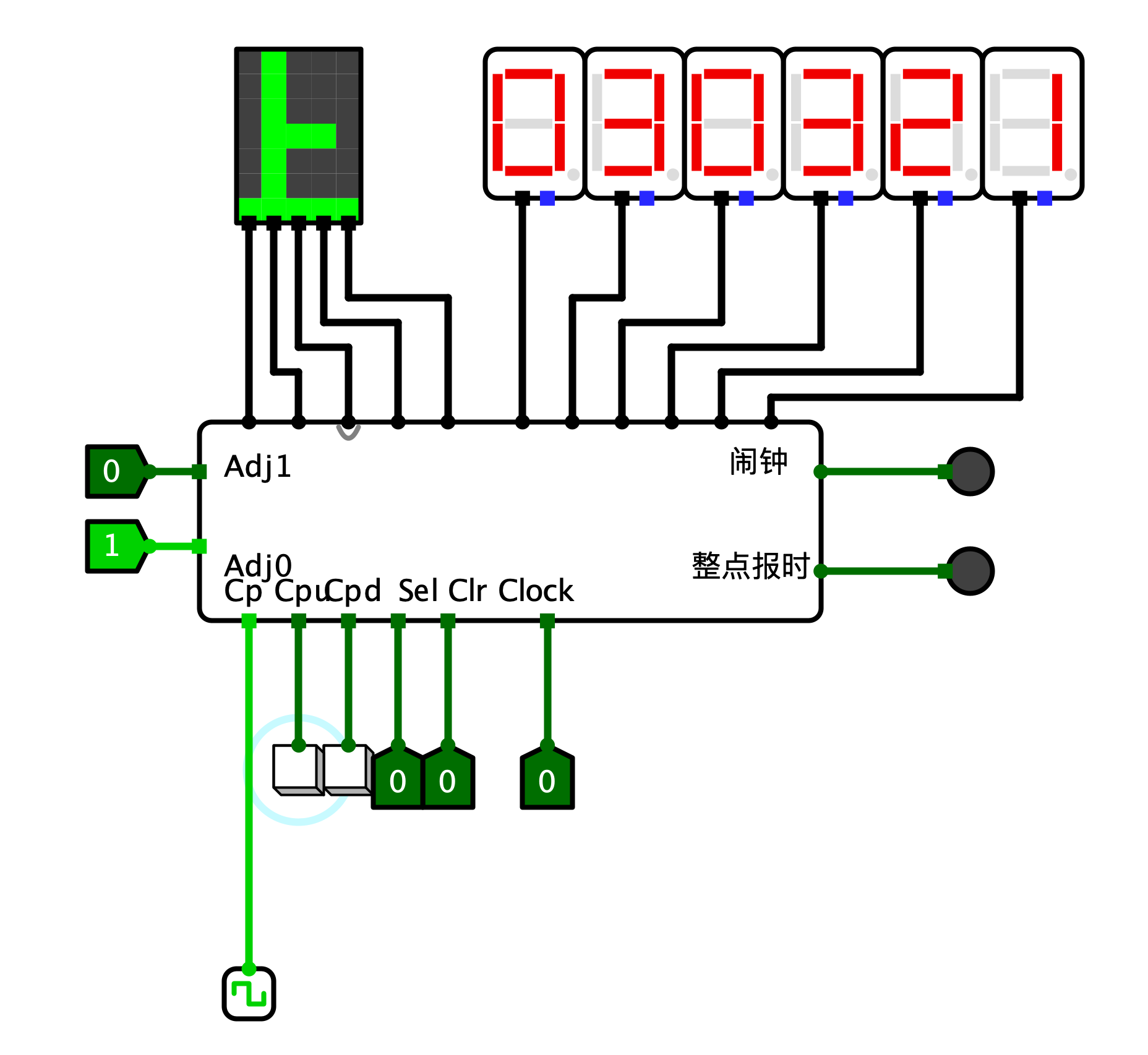
 

图5.33&5.34 电路(5)测试

调整闹钟 12/24转换

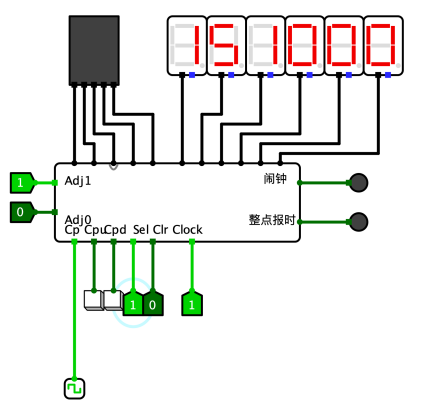
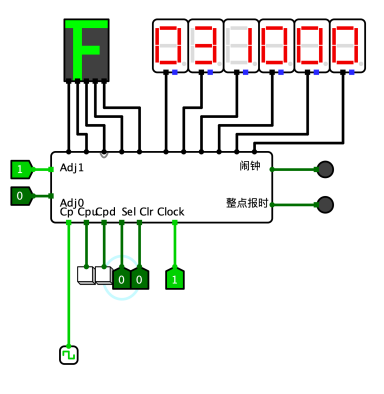
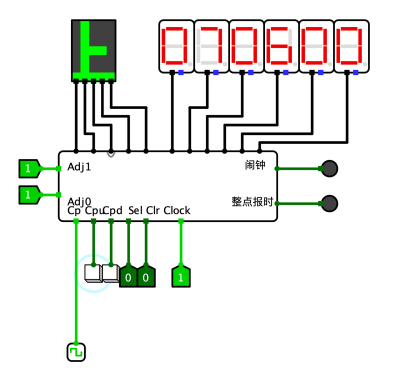


图5.35&5.36&5.37 电路(5)测试

回到时间调整 整点报时和闹钟输出是脉冲不好截图

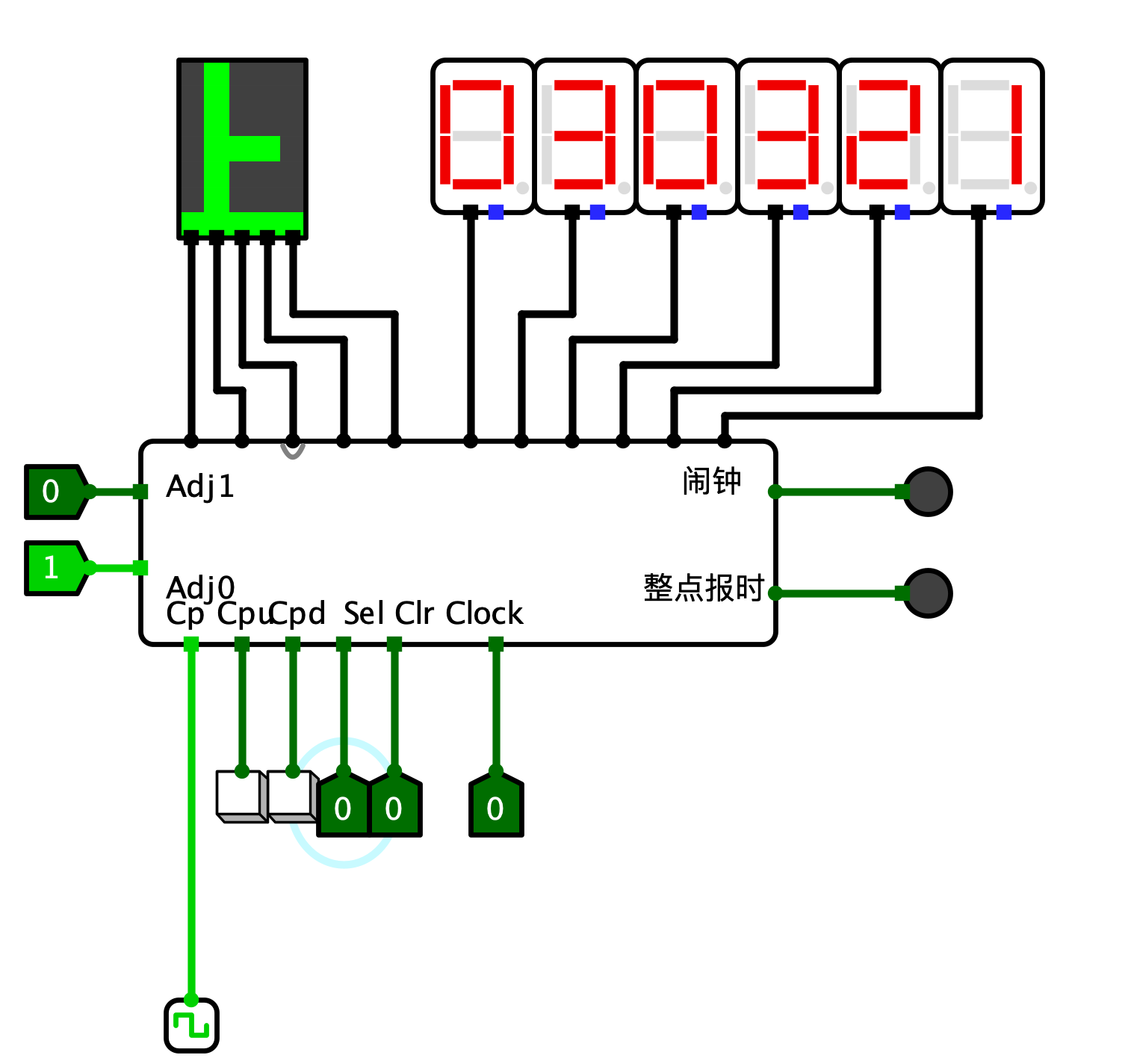


图5.38 电路(5)测试

8. 实验后的思考

（1）实验的难点在哪些方面？

A.对于24进制计数器:一开始没能理解题目的意思,设计了12/24进制的寄存器,出现了后续功能的错误,并且在设计比较器的时候没有考虑到我这个是无符号数的问题,导致电路产生了BUG,3(0011)竟然要比8(1000)大。

B.对于闹钟的处理。

（2）如何解决这些难点？

A.重新设计,并且更改比较器。

B.设计与或逻辑来保证闹钟功能和本身的时钟功能不会产生冲突。

总结:(1)清楚要求非常重要。

(2)在设计之前就要有一定的规划不能一上来就随便画画。